|  |
| --- |
| **SDR-IP Receptor SDR en Red.**  El receptor SDR-IP  en un SDR de muy alta rendimiento en red, Ofrece la máxima versatilidad para la investigación científica, la radio-astronomía ,escucha en onda corta y de radioaficionados. El SDR-IP utiliza un ADC de 16 bits de alto rendimiento a 80 MHz. La salida de I /Q es el ancho de banda configurable por software. La comunicación con PC se hace a través de un puerto 100 Base-T (ethernet) usando palabras I/Q de 24 o 16 bits.  El SDR-IP es una solución totalmente "Plug and Play" a diferencia de otros SDR del mercado no hay necesidad de preamplificadores, preselectores o desarrollo de código, El recpetor se entrega con una copia del programa Moetronix de [SpectraVue](http://www.moetronix.com/spectravue.htm) que permite la puesta en marcha del equipo en solo unos minutos. El software incluye demodulación modo analógico y digital I / Q de captura del espectro de hasta un 2MS/s de velocidad de muestreo,  Para aquellos interesados en escribir sus propias aplicaciones, RFSPACE proporciona un información del protocolo con el hardware. No hay necesidad de calcular los parámetros downconverter DSP. El SDR-IP sólo necesita la frecuencia central, atenuador y la configuración de filtro de preselección, frecuencia de muestreo de salida y el modo de empezar a transmitir datos. Otras soluciones requieren complicados interfaz USB que es específico de la plataforma. El SDR-IP utiliza TCP / IP y Ethernet para todas las comunicaciones. Esto ofrece el mayor rendimiento posible gracias a los controladores Ethernet altamente optimizado en PC, Mac y Linux.  Los paquetes del SDR-IP  son completamente enrutables. Esto significa que el receptor se puede colocar en lugares remotos. receptores múltiples también se pueden combinar y los datos transportados por Ethernet utilizando simples "routers" y "switches". Cada SDR-IP se puede establecer una dirección IP diferente o puerto. Múltiples receptores con esta arquitectura ofrecen el mayor rendimiento y versatilidad.  CARACTERÍSTICAS:   * Margen de frecuencias : 0.01 - 34 MHz \* * Convertidor digital: Xilinx FPGA * Interface PC : Ethernet 100 base-T (UDP/TCP/IP) * Filtros: 120+ dB 90% Alias Free BW * Decimation Rate: Variable 40-6400 (in 10 increment) * Output Sample Rate: 32KHz to 2 MHz @ 24b IQ * DDC Flatness: <0.1 dB * Margen dinamico: 105+ dB * MDS Preamp Off (500Hz): -129dBm 1.8 - 30 MHz * MDS Preamp On (500Hz): -130dBm 1.8 - 30 MHz * Analog to Digital Converter: 16bit w/ Dither * Digital to Anlog Converter: 14 bit @ 200 Mhz * Preselector: 10 filtros * Atenuadores: 0, -10dB, -20dB, -30dB * Velocidad de muestreo: 80.000 MHz * Memoria: 65536 x bits samples (256K x 16 opcional) * Control externo del radio: Puerto interno RS-232 * Dimensiones: 210 x 70 x 180 mm * Alimentación : 5 Volts CC @ 1.5 Amp \*\* * Conexiones: 4 x BNC (RF In, Ext Ref, IF Out, Trigger) RS-232,  Pulse out,  Ethernet,  Power. * Requisitos de ancho de banda Ethernet: 2.00 MHz Output Sample Rate = 64Mb/s \*16bit IQ 1.33 MHz Output Sample Rate = 64Mb/s 0.50 MHz Output Sample Rate = 24Mb/s 0.10 MHz Output Sample Rate = 4.8Mb/s   OPCIÓN 01:  Añade ultra low noise OVCXO (+/- 1ppm) plus frequency locking to 10 MHz reference.  OPCIÓN 02: Añade Trigger IN/OUT to lock phase of multiple receivers at multiple locations.  OPCIÓN 03: Expande el buffer de captura en modo real de  65536 a 262144 puntos para  305 Hz RBW @ 80 MHz de muestreo. |
|  |